

Japanese Utility Model Application Laid-Open No. 62-190342

Claim:

A flexible wiring board mountable on a semiconductor element which includes bumps formed thereon at positions corresponding to the electrode pads of said semiconductor element to be mounted on the board, said flexible wiring board being characterized by a spacer which is formed on said board at a position corresponding to at least the edge of said semiconductor element.

公開実用 昭和62- 190342

③ 日本国特許庁(JP)

⑩ 実用新案出願公開

⑪ 公開実用新案公報(U) 昭62- 190342

⑫ Int.Cl.⁴

H 01 L 21/60
H 05 K 1/18

識別記号

庁内整理番号

6918-5F
L-6736-5F

⑬ 公開 昭和62年(1987)12月3日

審査請求 未請求 (全 頁)

⑭ 考案の名称 半導体素子搭載用フレキシブル配線基板

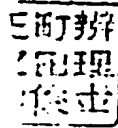
⑮ 実 願 昭61-78042

⑯ 出 願 昭61(1986)5月26日

⑰ 考 案 者 鈴 木 聡 八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

⑱ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

⑲ 代 理 人 弁理士 町田 俊正



明 細 書

1. 考案の名称

半導体素子搭載用フレキシブル配線基板

2. 実用新案登録請求の範囲

搭載される半導体素子の電極パッドと対応する位置にバンプの形成された半導体素子搭載用フレキシブル配線基板において、

少なくとも前記半導体素子のエッジ部と対応する部分にスペーサを設けたことを特徴とする半導体素子搭載用フレキシブル配線基板。

3. 考案の詳細な説明

[考案の技術分野]

この考案は半導体素子搭載用のフレキシブル配線基板に関する。

[従来技術とその問題点]

従来、半導体素子をフレキシブルな配線基板に



搭載する場合には、第4図から第6図に示すようにして搭載している。即ち第4図に示すように、予め、配線基板1の下面に銅箔等の導電膜を形成し、この導電膜をエッチング処理およびハーフエッチング処理することにより、導電膜と同じ厚さのバンプ（突起電極）2と、それよりも薄い配線パターン3とを形成する。

この後、第5図に示すように、配線基板1の下側に導電異方性接着剤層4を介して半導体素子5を配置した状態で両者を押圧することにより、配線基板1の突出したバンプ2に半導体素子5の電極パッド6を電氣的に接続して取り付けている。この場合、導電異方性接着剤層4は半導体素子5の上面に塗布、印刷等により形成されるか、あるいはシート状のものを設けるかしたものである。半導体素子5はその上面にアルミ等の金属からなる電極パッド6が設けられているとともに、この電極パッド6を除く部分に酸化シリコン(SiO_2)等からなる絶縁性の保護膜7が設けられている。



しかしながら、配線基板 1 に半導体素子 5 を搭載するとき、半導体素子 5 のエッジ部 5 a と対応する部分の保護膜 7 が欠けているような場合には、この欠けた部分に導電異方性接着剤層 4 が押し付けられるので、この導電異方性接着剤層 4 を介して半導体素子 5 のエッジ部 5 a と配線基板 1 の配線パターン 3 とがショートする危険性がある。

そのため、従来は配線パターン 3 に絶縁コートを施すか、あるいは第 6 図に示すように、半導体素子 5 を配線基板 1 に接続する前、もしくは接続中に半導体素子 5 のエッジ部 5 a が配線基板 1 の配線パターン 3 に接触しないように、フレキシブルな配線基板 1 を屈曲させた状態で、両者を押え付けて接続する必要がある。そのため、接続作業が極めて煩雑で面倒である等の欠点があった。

〔考案の目的〕

この考案は上述した事情に鑑みてなされたもので、その目的とするところは、簡単な構造で、容



易に半導体素子と配線基板とを接続することができ、かつ半導体素子のエッジ部と配線基板の配線パターンとのショートを確実に防止することができる半導体素子搭載用フレキシブル配線基板を提供することにある。

【考案の要点】

この考案は上述した目的を達成するために、フレキシブル配線基板上の少なくとも半導体素子のエッジ部と対応する部分にスペーサを設け、半導体素子のエッジ部と配線パターンとのショートを確実に防止することができるようにしたものである。

【実施例】

以下、第1図から第3図を参照して、この考案の一実施例を説明する。この場合、上述した従来例と同一部分には同一符号を付し、その説明は省略する。

第1図および第2図は配線基板を示す。この配



線基板 1 はポリエステル等の樹脂フィルムからなり、その下面には配線パターン 3 . . . 、パンプ 2 . . . 、およびスペーサ 1 0 . . . が形成されている。即ち、配線基板 1 の下面に銅箔等からなる導電膜を形成し、この導電膜を前述したようにエッチングすることにより、導電膜と同じ厚さのパンプ 2 . . . およびスペーサ 1 0 . . . を形成するとともに、更にこの導電膜をハーフエッチングすることにより、半分の厚さの配線パターン 3 . . . を形成する。この場合、配線パターン 3 . . . およびパンプ 2 . . . は上述した従来例と同様に、配線基板 1 の所定箇所に形成され、またスペーサ 1 0 . . . は半導体素子 5 のエッジ部 5 a と対応する位置で、しかも配線パターン 3 . . . およびパンプ 2 . . . の間に、いずれにも接触しないように独立して形成されている。

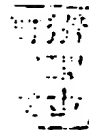
このように構成された配線基板 1 に半導体素子 5 を搭載する場合には、第 3 図に示すように、配線基板 1 の下に導電異方性接着剤 4 を介して半導体素子 5 を配置し、この状態で両者を互いに押圧



するだけで良い。すると、半導体素子5の電極パッド6と配線基板1の bumps 2 とが接続される。この場合、仮に半導体素子5の上面に形成された絶縁膜7のうち、エッジ部5aと対応する部分の絶縁膜7が欠けていて、この欠けた部分に導電異方性接着剤4が押圧されても、スペーサ10により導電異方性接着剤4が配線パターン3に接触してショートすることがない。即ち、スペーサ10が配線パターン3よりも厚く、しかも配線パターン3および bumps 2 等のいずれにも接触せず、それぞれ独立しているからである。

しかるに、上記のような配線基板1によれば、スペーサ10を設けるだけの極めて簡単な構造で、かつ導電異方性接着剤4を介して配線基板1と半導体素子5とを相互に押圧するだけで、確実かつ容易に両者を接続することができる。特に、スペーサ10は配線基板1に bumps 2 と同時に形成することができるので、その製作が極めて簡単であり、安価に製作することができる。

なお、上述した実施例ではスペーサ10をバン



ブ 2 と同時に成形したが、この考案はこれに限らず、別々に形成しても良く、また材質もバンブ 2 等と同じものである必要はない。

〔考案の効果〕

以上詳細に説明したように、この考案の半導体素子搭載用フレキシブル配線基板によれば、フレキシブルな配線基板上の少なくとも半導体素子のエッジ部と対応する部分にスペーサを設けたので、簡単な構造で、容易に半導体素子と配線基板とを接続することができ、かつ半導体素子のエッジ部と配線基板の配線パターンとのショートを確実に防止することができるという利点がある。

4. 図面の簡単な説明

第 1 図から第 3 図はこの考案の一実施例を示し、第 1 図は配線基板の要部底面図、第 2 図はその A-A 断面図、第 3 図は配線基板に半導体素子を接続した状態の断面図、第 4 図から第 6 図は従来例を示し、第 4 図はその配線基板の断面図、



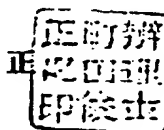
第5図は配線基板に半導体素子を接続した状態の断面図、第6図は他の接続状態を示す断面図である。

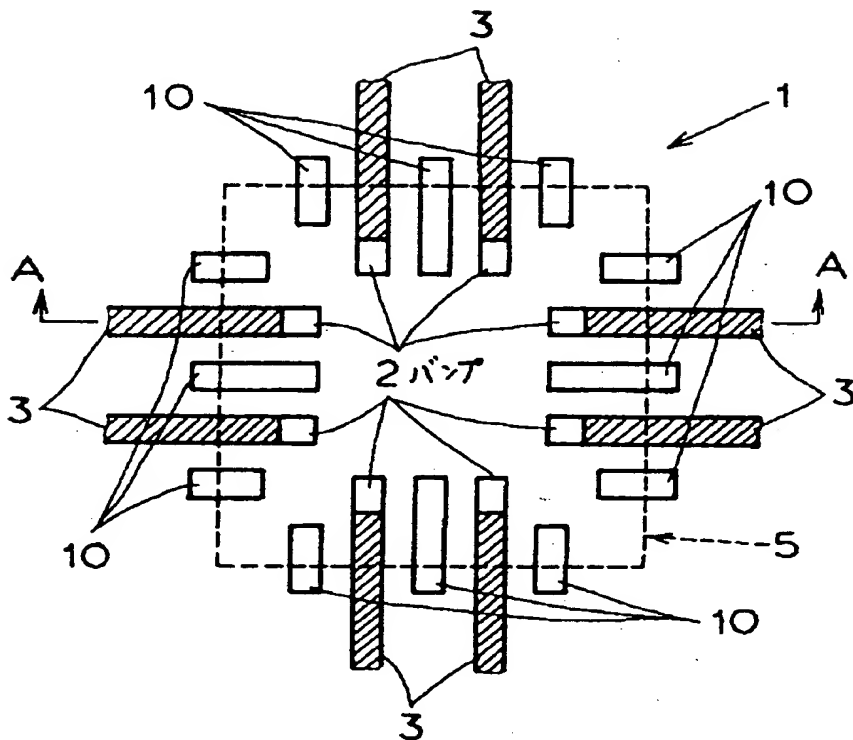
1 …… 配線基板、 2 …… バンプ、 3 …… 配線パターン、 5 …… 半導体素子、 6 …… 電極パッド、
10 …… スペース。

実用新案登録出願人 カシオ計算機株式会社

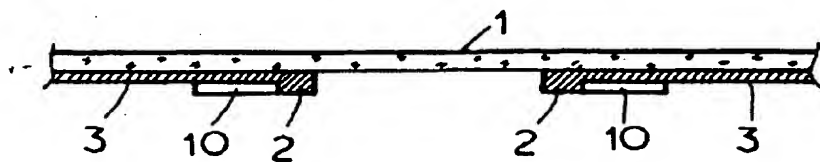
代理人 弁理士

町 田 俊





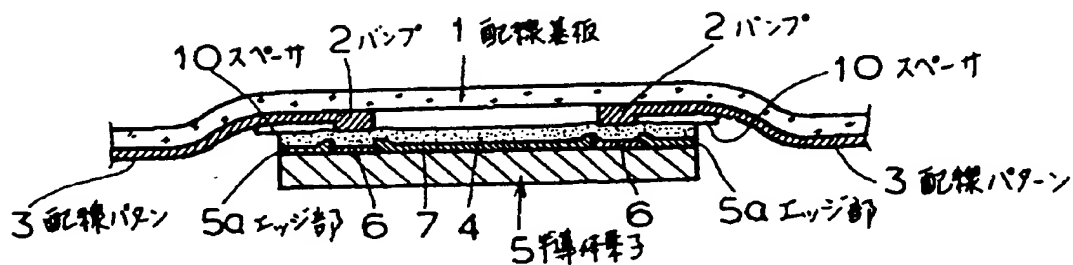
第 1 図
配線基板の要部底面図



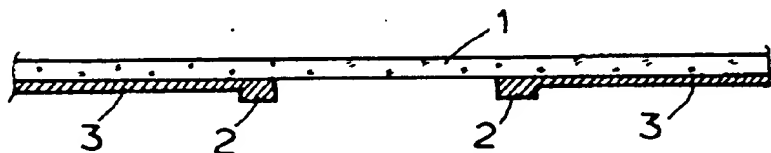
第 2 図
A-A 断面図

406
実開特-190342

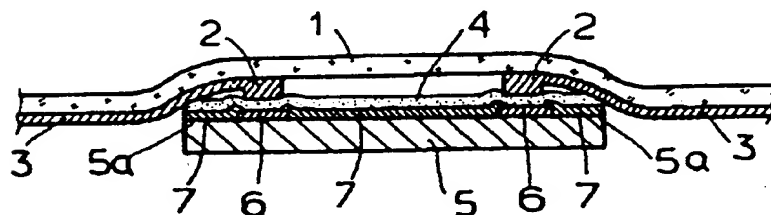
出 願 人 カシオ計算機株式会社
代 理 人 弁 理 士 町 田 俊 正



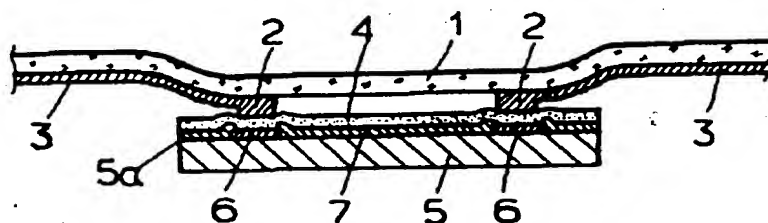
第 3 図
配線基板に半導体素子を搭載した状態の断面図



第 4 図
従来の配線基板の断面図



第 5 図
従来の配線基板に半導体素子を搭載した状態の断面図



第 6 図
他の従来例を示す図

107

2001-100742

出願人 カシオ計算機株式会社
代理人 弁理士 町田俊正

公開実用 昭和62- 190342

⑤ 日本国特許庁 (J P)

⑥ 実用新案出願公開

④ 公開実用新案公報 (U) 昭62- 190342

⑦ Int. Cl. *

H 01 L 21/60
H 05 K 1/18

識別記号

庁内整理番号

6918-5F
L-6736-5F

⑧ 公開 昭和62年(1987)12月3日

審査請求 未請求 (全 頁)

⑨ 考案の名称 半導体素子搭載用フレキシブル配線基板

⑩ 実 願 昭61-78042

⑪ 出 願 昭61(1986)5月26日

⑫ 考 案 者 鈴 木 聡 八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

⑬ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

⑭ 代 理 人 弁理士 町田 俊正



搭載する場合には、第4図から第6図に示すようにして搭載している。即ち第4図に示すように、予め、配線基板1の下面に銅箔等の導電膜を形成し、この導電膜をエッチング処理およびハーフエッチング処理することにより、導電膜と同じ厚さのバンプ（突起電極）2と、それよりも薄い配線パターン3とを形成する。

この後、第5図に示すように、配線基板1の下側に導電異方性接着剤層4を介して半導体素子5を配置した状態で両者を押圧することにより、配線基板1の突出したバンプ2に半導体素子5の電極パッド6を電氣的に接続して取り付けている。この場合、導電異方性接着剤層4は半導体素子5の上面に塗布、印刷等により形成されるか、あるいはシート状のものを設けるかしたものである。半導体素子5はその上面にアルミ等の金属からなる電極パッド6が設けられているとともに、この電極パッド6を除く部分に酸化シリコン(SiO_2)等からなる絶縁性の保護膜7が設けられている。



易に半導体素子と配線基板とを接続することができ、かつ半導体素子のエッジ部と配線基板の配線パターンとのショートを確実に防止することができる半導体素子搭載用フレキシブル配線基板を提供することにある。

【考案の要点】

この考案は上述した目的を達成するために、フレキシブル配線基板上の少なくとも半導体素子のエッジ部と対応する部分にスペーサを設け、半導体素子のエッジ部と配線パターンとのショートを確実に防止することができるようにしたものである。

【実施例】

以下、第1図から第3図を参照して、この考案の一実施例を説明する。この場合、上述した従来例と同一部分には同一符号を付し、その説明は省略する。

第1図および第2図は配線基板を示す。この配



するだけで良い。すると、半導体素子5の電極パッド6と配線基板1のバンプ2とが接続される。この場合、仮に半導体素子5の上面に形成された絶縁膜7のうち、エッジ部5aと対応する部分の絶縁膜7が欠けていて、この欠けた部分に導電異方性接着剤4が押圧されても、スペーサ10により導電異方性接着剤4が配線パターン3に接触してショートすることがない。即ち、スペーサ10が配線パターン3よりも厚く、しかも配線パターン3およびバンプ2等のいずれにも接触せず、それぞれ独立しているからである。

しかるに、上記のような配線基板1によれば、スペーサ10を設けるだけの極めて簡単な構造で、かつ導電異方性接着剤4を介して配線基板1と半導体素子5とを相互に押圧するだけで、確実かつ容易に両者を接続することができる。特に、スペーサ10は配線基板1にバンプ2と同時に形成することができるので、その製作が極めて簡単であり、安価に製作することができる。

なお、上述した実施例ではスペーサ10をバン



第5図は配線基板に半導体素子を接続した状態の断面図、第6図は他の接続状態を示す断面図である。

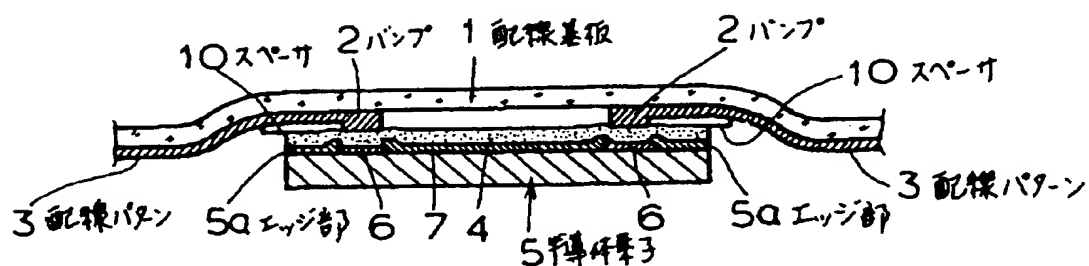
1 …… 配線基板、 2 …… バンプ、 3 …… 配線パターン、 5 …… 半導体素子、 6 …… 電極パッド、
10 …… スペース。

実用新案登録出願人 カシオ計算機株式会社

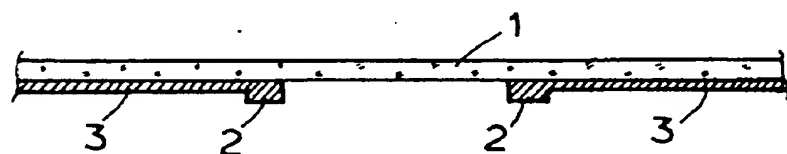
代理人 弁理士

町田 俊

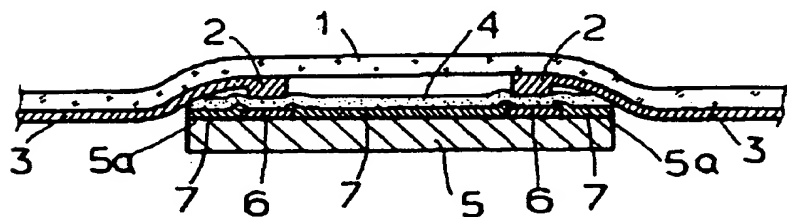




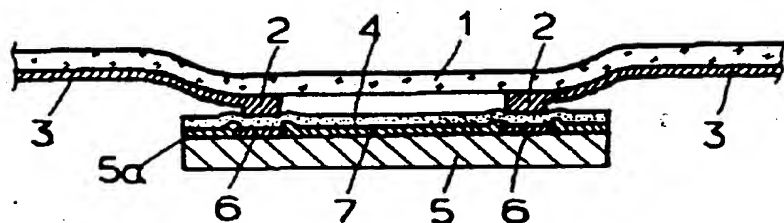
第 3 図
配線基板に半導体素子を搭載した状態の断面図



第 4 図…
従来の配線基板の断面図



第 5 図
従来の配線基板に半導体素子も搭載した状態の断面図



第 6 図
他の従来例を示す図

107

2000-1000-12

出願人 カシオ計算機株式会社
代理人 弁理士 町田俊正